컴퓨터 구조

2013210061

채윤병

Lab Session 2

**sr\_latch.v**

module sr\_latch(Q,Qbar,Sbar,Rbar);

output Q,Qbar;

input Sbar,Rbar;

wire Q,Qbar;

wire Sbar,Rbar;

nand n1(Q,Sbar,Qbar);

nand n2(Qbar,Rbar,Q);

endmodule

**Tb4sr\_latch.v**

module sr\_latch(Q,Qbar,Sbar,Rbar);

output Q,Qbar;

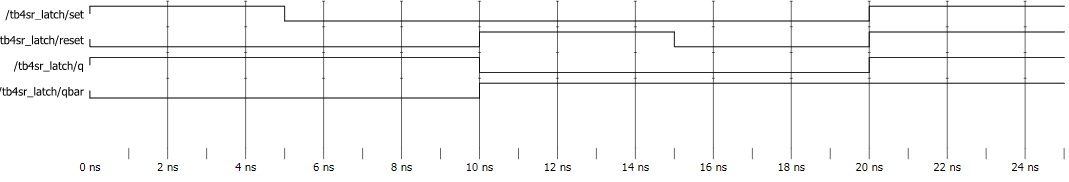
input Sbar,Rbar;

wire Q,Qbar;

wire Sbar,Rbar;

nand n1(Q,Sbar,Qbar);

nand n2(Qbar,Rbar,Q);

endmodule

SR 래치는 입력 set에 1을 입력하면 Set, reset에 1을 입력하면 Reset 상태로 변하는 순차회로이다. Nand와 Nor 두가지 방식으로 설계할 수 있는데 여기선 Nand 게이트로 설계를 했다. 따라서 Testbench를 보면 입력 값으로 Set Reset이 아닌 ~Set, ~Reset을 선택한 것을 확인할 수 있다. Set 상태가 되면 Q는 1로 값이 변하고 Reset 상태가 되면 Q는 0으로 변한다. (Qbar는 Q의 보수로 변한다.) 두 입력이 모두 0일 경우는 값이 변하지 않지만 두 입력이 모두 1일 경우는 Q와 Qbar가 같은 값을 가리키는 오류를 일으킨다. 위의 표를 통해서도 확인할 수 있다. 0ns~5ns 구간에서는 Set, 5ns~10ns, 15~20ns 구간에서는 입력 없음, 10ns ~ 15ns 구간에서는 Reset, 20~25ns 구간에서는 오류 상태가 되었다.